

03 JUN 2005

PCT/JP03/15665

10/537

日本国特許庁
JAPAN PATENT OFFICE

08.12.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

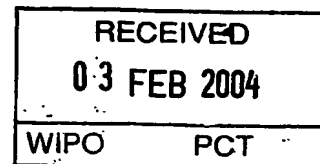
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年12月 3日

出願番号
Application Number: 特願2003-404109

[ST. 10/C]: [JP2003-404109]

出願人
Applicant(s): ザインエレクトロニクス株式会社

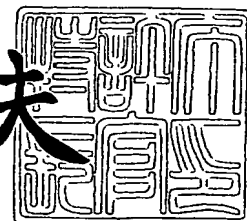


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 1月16日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

出証番号 出証時2002-2112261

【書類名】 特許願
【整理番号】 P03-1135
【提出日】 平成15年12月 3日
【あて先】 特許庁長官 殿
【国際特許分類】 H04L 7/00
【発明者】
 【住所又は居所】 東京都中央区日本橋本町三丁目3番6号 ザインエレクトロニクス株式会社内
 【氏名】 小沢 誠一
【発明者】
 【住所又は居所】 東京都中央区日本橋本町三丁目3番6号 ザインエレクトロニクス株式会社内
 【氏名】 岡村 淳一
【特許出願人】
 【識別番号】 399011195
 【氏名又は名称】 ザインエレクトロニクス株式会社
【代理人】
 【識別番号】 100091096
 【弁理士】
 【氏名又は名称】 平木 祐輔
【選任した代理人】
 【識別番号】 100102576
 【弁理士】
 【氏名又は名称】 渡辺 敏章
【選任した代理人】
 【識別番号】 100108394
 【弁理士】
 【氏名又は名称】 今村 健一
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-355673
 【出願日】 平成14年12月 6日
【手数料の表示】
 【予納台帳番号】 015244
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲

【請求項 1】

互いに位相差を有するN相のクロック信号を発生する多相クロック信号生成手段と、
前記多相クロック信号生成手段から出力される前記N相のクロック信号のうちいずれかのクロック信号を選択するかを指示する第1のクロック選択信号であって、前記N相のクロック信号のそれぞれと対応する第1のクロック選択信号を順次出力する制御手段と、
前記制御手段から出力される前記第1のクロック選択信号の立ち上がりエッジ出現時間

及び又は立ち下がりエッジ出現時間を調整して、前記多相クロック信号生成手段から出力される前記N相のクロック信号のそれぞれと対応する第2のクロック選択信号を出力するエッジ出現時間調整手段と、

前記エッジ出現時間調整手段から出力される前記第2のクロック選択信号のうちの活性化状態に基づいて前記N相のクロック信号のうちのクロック信号を選択し、変調クロック信号を出力する変調クロック信号生成手段と
を備える位相選択型周波数変調装置。

【請求項 2】

互いに位相差を有するN相のクロック信号を発生する多相クロック信号生成手段と、
前記多相クロック信号生成手段から出力される前記N相のクロック信号のうちのいずれかのクロック信号を選択するかを指示する第1のクロック選択信号であって、前記N相のクロック信号のそれぞれと対応する第1のクロック選択信号を順次出力する制御手段と、
前記制御手段から出力される前記第1のクロック選択信号の立ち上がりエッジ出現時間

及び又は立ち下がりエッジ出現時間を調整して、前記多相クロック信号生成手段から出力される前記N相のクロック信号のそれぞれと対応する第2のクロック選択信号を出力するエッジ出現時間調整手段と、

前記エッジ出現時間調整手段から出力される前記第2のクロック選択信号のうちの活性化状態に基づいて前記N相のクロック信号のうちのクロック信号を選択し、変調クロック信号を出力する変調クロック信号生成手段と、

前記変調クロック信号生成手段から出力される選択クロック信号を入力し、前記選択クロック信号のジッタをフィルタリングして変調クロック信号を出力するPLLと
を備える位相選択型周波数変調装置。

【請求項 3】

前記エッジ出現時間調整手段は、前記選択手段により前記活性化された第2のクロック選択信号に対応して選択されるクロック信号の立ち上がりエッジ出現時間及び又は立ち下がりエッジ出現時間と、前記第2のクロック選択信号の立ち上がりエッジ出現時間及び又は立ち下がりエッジ出現時間とが重ならないように、前記第1のクロック選択信号の立ち上がりエッジ出現時間及び又は立ち下がりエッジ出現時間を調整することを特徴とする請求項 1 又は 2 に記載の位相選択型周波数変調装置。

【請求項 4】

互いに位相差を有するN相のクロック信号のうちのいずれのクロック信号を選択するかを指示する第1のクロック選択信号であって、前記N相のクロック信号のそれぞれと対応する第1のクロック選択信号を順次出力する制御手段と、

前記制御手段から出力される前記第1のクロック選択信号の立ち上がりエッジ出現時間及び又は立ち下がりエッジ出現時間を調整して、前記多相クロック信号生成手段から出力される前記N相のクロック信号のそれぞれと対応する第2のクロック選択信号を出力するエッジ出現時間調整手段と、

前記エッジ出現時間調整手段から出力される前記第2のクロック選択信号のうちの活性化状態に基づいて前記N相のクロック信号のうちのクロック信号を選択し、選択クロック信号を出力する変調クロック信号生成手段と、

前記変調クロック信号と前記変調クロック生成手段から出力される選択クロック信号を入力し、前記基準クロック信号の位相と前記選択クロック信号の位相とを比較する位相比較手段と、その結果に基づいて前記N相のクロック信号を発生するとともに前記N相のク

ロック信号のうちの1つのクロック信号を変調クロック信号として出力する多相クロック信号生成手段と
を備える位相選択型周波数シンセサイザ。

【請求項5】

前記変調クロック信号生成手段から出力される前記選択クロック信号を分周し、該分周された選択クロック信号を前記多相クロック信号生成手段に出力する分周手段をさらに含むことを特徴とする請求項4に記載の位相選択型周波数シンセサイザ。

【書類名】明細書

【発明の名称】位相選択型周波数変調装置及び位相選択型周波数シンセサイザ

【技術分野】

【0001】

本発明は、画像データの伝送を伴う電子機器において放射電磁雑音 (electromagnetic interference: 以下「EMI」と称する。) を低減することができる位相選択型周波数変調装置及び位相選択型周波数シンセサイザに関する。

【背景技術】

【0002】

電子機器の高速化に伴い、電子機器におけるEMIが問題となり、このEMIを低減することが要求されている。電子機器において、EMIを低減するための一技術として、スペクトラム拡散クロックを用いる方法が提案されている。より詳細には、特定の周波数にスペクトラムのピークが発生しないように意図的にジッタを発生させたり、また、回路の動作に影響を与えない程度の同期、例えば、数kHzから数100kHzの同期で緩やかに周波数を変動させたりしている。

【0003】

図17は、先行技術によるクロック信号生成回路の構成を示す機能ブロック図である。該図に示すように、上記クロック信号生成回路は、所望の周波数で位相がある間隔分だけ互いにずれたm相のクロック信号S1mを発生するクロック生成部2001と、多相クロック信号S1mのうちの1つを選択するセレクタ2003と、選択を決定するディザリング制御部2002と、を有している。クロック生成部2001において生成されたm相のクロック信号S1mが、セレクタ2003に供給されるとともに、出力端子2005を介して取り出される。セレクタ2003には、ディザリング制御部2002から制御信号SELが供給される。セレクタ2003は、制御信号SELに応じてm相のクロック信号S1mのうちの1つを順次選択して得られたクロック信号S2を端子2004から取り出すことができる。セレクタ2003を制御するディザリング制御部2002は、出力端子2004において得られるクロック信号S2のスペクトラムが可能な限り拡散するように選択信号SELを生成する。

【0004】

図18は、ディザリング制御部2002の具体的な構成例を示す回路ブロック図である。該図に示すように、ディザリング制御部2002は、直列環状をなす8個のD型フリップフロップ2031～2038と、3個のOR回路2041～2043と、を含んで構成されており、s0～s4の出力信号中の1つの信号がハイレベルの時に他の4つの信号がローレベルとされ、ハイレベルがクロック信号ckの1サイクル毎に各信号間を移動する。

【0005】

図19は、セレクタ2003の具体的な構成例を示すブロック図である。セレクタ2003は、5つのスイッチ回路2051～2055と、バッファ回路2056とを含んで構成されている。上記s0からs4までの出力信号に同期しΔT間隔の5相クロック信号dc0～dc4の1つが選択され、変調クロック信号が生成され、バッファ回路2056を介して出力される。

【0006】

図20は、上記クロック信号生成器の動作波形例を示す図である。該図に示すように、期間Aで示される範囲では、dc0、dc1、dc2、dc3、dc4の順でクロック信号が選択されているため、変調クロック信号S2の周期は $T + \Delta T$ (Tはクロック信号の周波数fの逆数で定義される。以下同様の意味でTを用いる。) となり、期間Bでは、dc4、dc3、dc2、dc1、dc0の順でクロック信号が選択されているため、変調クロック信号S2の周期は $T - \Delta T$ となる。期間Aと期間Bに示される動作が繰り返されるため、変調周期 T_{mod} (図示せず) は、 $+\Delta T$ と $-\Delta T$ とが打ち消し合い、 $T_{mod} = 8 \times T$ となる。

【0007】

上記クロック信号発生装置では、スペクトラム上のピークが分散したクロック信号が出力できるため、このクロック信号を用いて電子機器を動作させることでEMIを低減することができる。

【特許文献1】特開2001-148690号公報（図1、図5、図7、図9）

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上記クロック信号生成回路を用いた場合には、以下に説明するような問題点がある。この問題点について、図21を参照して説明する。該図は、上記クロック信号発生回路における動作上の問題点を示した図である。該図に示すように、 m 相クロック信号 $S1m$ のエッジ（図では立ち上がりエッジ2101と、立ち下がりエッジ2103とが示されている）と選択信号 SEL のエッジとが重なった場合に、図19に示すセレクト2003に設けられたスイッチ回路2051～2055の動作（0と1の切り分け）が不完全になり、変調クロック信号 $S2$ の波形が劣化してしまう。すなわち、該図に示すシステムクロック信号の1周期（矢印で示される範囲）に対応するクロック位相である360度に対して、実際に変化させることができるクロック位相の範囲は180度から所定間隔を考慮した範囲を減算した範囲、すなわち180度以下に制約されてしまう。

【0009】

ここで、図22（A）から図22（C）までを参照して、変調周期とクロックのスペクトル強度との関係を説明する。図22（A）は、変調しない場合のスペクトル強度と $1/T$ との関係を示す図であり、図22（B）は、変調周期が短い場合、すなわち $1/T_{mod}$ が大きい場合のスペクトル強度と $1/T$ との関係を示す図であり、図22（C）は、変調周期が長い場合、すなわち $1/T_{mod}$ が小さい場合のスペクトル強度と $1/T$ との関係を示す図である。ここで、 T_{mod} は変調周期を示し、 T はクロック信号の周波数 f の逆数である。

【0010】

図22（A）に示すように、変調されていない場合には、 $f = 1/T$ の位置にスペクトルピーク2201が観測される。図22（A）に示すスペクトルを分散させるために変調クロック周期が $T - \Delta T$ と $T + \Delta T$ になるように変調した場合、 $f = 1/(T + \Delta T)$ と $f = 1/(T - \Delta T)$ にピークが現れることが期待される。しかしながら、フーリエ変換の性質により、 $1/T_{mod}$ の周期で変化する波形の場合には、 $1/T_{mod}$ の間隔でスペクトルのピークが現れるため、変調周期が短い場合すなわち $1/T_{mod} > \Delta T$ の場合には、 $f = 1/(T + \Delta T)$ と $f = 1/(T - \Delta T)$ のスペクトル成分はほとんど $1/T$ のピーク2201に集中してしまい、図22（B）に示すようにパワーの分散は起きない。一方、図22（C）に示すように変調周期が長い場合すなわち $1/T_{mod} < \Delta T$ の場合には、 $f = 1/(T + \Delta T)$ と $f = 1/(T - \Delta T)$ のスペクトル成分がピークとして現れる。すなわち、 $1/T$ におけるピーク2201に加えて、 $1/T_{mod}$ 間隔で $f = 1/(T + \Delta T)$ と $f = 1/(T - \Delta T)$ とにそれぞれピーク2217とピーク2215とが現れる。パワーの分散に伴い、 $1/T$ におけるピーク2201のピーク強度が、図22（A）及び図22（B）に示すピーク2201と比べて低くなり、パワーの分散が起きていることがわかる。

【0011】

変調の効果が現れる条件について考えると、ピークの現れる間隔が、 $1/T$ と $1/(T \pm \Delta T)$ との間の間隔よりも短くなる必要がある。すなわち、以下の（1）式が成立する必要がある。

$$1/T_{mod} < \text{abs}(1/T - 1/(T \pm \Delta T)) \sim \Delta T/T^2 \quad (1) \quad \text{尚、abs}(X) \text{は、} X \text{の絶対値を意味する。}$$

ここで、多相クロック信号の相数を N とすると、変調周期 T_{mod} は以下の（2）式で表される。

$$T_{mod} = 2N \times T \quad (2)$$

(1) 式と (2) 式より、以下の (3) 式を導入することができる。

$$T/2 < N \times \Delta T \quad (3)$$

【0012】

ここで、 $N \times \Delta T$ は、図 17 から図 19 までに示す回路では位相が可変である範囲に相当し、前述のように少なくとも 180 度以上の位相可変範囲が必要である。

【0013】

本発明は、クロック位相に関する制約を解消することができる位相選択型周波数変調装置及び位相選択型周波数シンセサイザを提供することである。

【課題を解決するための手段】

【0014】

本発明の一観点によれば、互いに位相差を有する N 相のクロック信号を発生する多相クロック信号生成手段と、前記多相クロック信号生成手段から出力される前記 N 相のクロック信号のうちいずれかのクロック信号を選択するかを指示する第 1 のクロック選択信号であって、前記 N 相のクロック信号のそれぞれと対応する第 1 のクロック選択信号を順次出力する制御手段と、前記制御手段から出力される前記第 1 のクロック選択信号の立ち上がりエッジ出現時間及び又は立ち下がりエッジ出現時間を調整して前記多相クロック信号生成手段から出力される前記 N 相のクロック信号のそれぞれと対応する第 2 のクロック選択信号を出力するエッジ出現時間調整手段と、前記エッジ出現時間調整手段から出力される前記第 2 のクロック選択信号のうちの活性化状態に基づいて前記 N 相のクロック信号のうちのクロック信号を選択し、変調クロック信号を出力する変調クロック信号生成手段とを備える位相選択型周波数変調装置が提供される。

【発明の効果】

【0015】

本発明によれば、変調クロック信号発生回路における選択するクロック信号の位相範囲に制限がないため、EMI のより一層の低減が可能である。

【発明を実施するための最良の形態】

【0016】

本発明に係る位相選択型周波数変調装置及び位相選択型周波数シンセサイザにおいて、位相可変範囲に制約の無い変調クロック信号を生成し EMI を低減するために、N 相クロック信号のうちから選択される 1 つのクロック信号の立ち上がりエッジ出現時間及び又は立ち下がりエッジ出現時間と、クロック信号を選択するためのクロック選択信号との立ち上がりエッジ出現時間及び又は立ち下がりエッジ出現時間とが時間的なずれを持ち重ならないように回路を構成する。

【0017】

ここで、N 相クロック信号の N は、4 以上の整数の場合に本発明に係る変調クロック信号生成回路が有効である。

【0018】

より具体的には、それぞれ位相が異なる 1 から N までの N 相クロック信号のうちから 1 つのクロック信号（第 1 のクロック信号と称する。）を選択することにより変調クロック信号を生成する際に、上記第 1 のクロック信号を選択するためのクロック選択信号として、N 相クロック信号中から上記第 1 のクロック信号とは位相の異なる別のクロック信号（第 1 のクロック選択信号により選択を指示されたクロック信号であって、第 2 のクロック信号と称する。）に基づいてエッジ出現時間を調整した第 2 のクロック選択信号を生成する。第 2 のクロック選択信号の活性化状態（例えば High 又は Low）に基づいて、N 相クロック信号 CK1 ~ CKN のうちいずれかを選択して、これを変調クロック信号として出力する。

【0019】

これにより、第 1 のクロック信号の立ち上がりエッジ出現時間及び又は立ち下がりエッジ出現時間と、この第 1 のクロック信号を選択する第 2 のクロック選択信号の立ち上がり

エッジ出現時間及び又は立ち下がりエッジ出現時間を任意にずらすことが可能となる。

【0020】

上記考察に基づいて、以下に本発明の一実施の形態による位相選択型周波数変調装置について図面を参照して説明する。図1は、本発明の一実施の形態による位相選択型周波数変調装置の構成を示すブロック図である。図1に示すように、本発明の一実施の形態による位相選択型周波数変調装置100は、m相クロック信号生成手段101と、変調クロック信号生成手段102と、エッジ出現時間調整手段103と、クロック選択信号生成手段105とこれを制御する制御論理手段106とを備える制御手段104とを有している。変調クロック信号生成手段102から変調クロック信号SELCLK、MCKクロックを出力する。なお、相数は例えば6、12等の多相である。

【0021】

図2は、図1の位相選択型周波数変調装置を用いた位相選択型周波数シンセサイザの構成を示す。位相選択型周波数シンセサイザ110は、入力されたREFCLK111を変調して変調クロック120として出力する。この位相選択型周波数シンセサイザは、位相比較器PFD112、チャージポンプ113、ループフィルタLPF114とを備える位相比較手段115と、m相VCO（電圧制御発振器）116と、図1の変調クロック信号生成手段102と、エッジ出現時間調整手段103と、クロック選択信号生成手段105、このクロック選択信号生成手段105を制御する制御論理手段106とを有する制御手段104とを備える。変調クロック生成手段102の出力は分周回路117を介してFeedbackした信号とREFCLK111を位相比較手段115で位相比較して制御される。これにより、m相VCO116の出力の1つであるCK1はD分周器118で分周した変調クロック120の周波数を所望の値に変調して出力される。

【0022】

かくして、変調クロック信号生成手段102は、m相VCO116のm個出力のうち1つを選択し選択クロックSELCLKとして出力する。変調クロック信号生成手段102の出力はFeedback信号とREFCLK111を位相比較手段115で位相比較して制御されることにより、m相VCO116の出力の1つであるCK1は、所望の周波数値に変調された変調クロック120を出力する。

【0023】

以上の構成において、変調クロック信号生成手段のセクタ選択が変わらない場合、変調クロックの周波数は以下の式で表される。

$$F_0 = f_{REFCLK} * M / N \quad (A1)$$

セクタの選択がずれていく場合、例えば1つずつ後ろにずれていく場合、変調クロックの周波数は $f_{max} = 13/12 * f_0$ になるよう制御される。逆に前にずれていく場合、 $f_{min} = 11/12 * f_0$ になるよう制御される。セクタの選択のずらし方を混ぜることにより、変調クロックの周波数を f_{min} と f_{max} の間の任意の値に制御することができる。

【0024】

周波数データに応じて、セクタの選択のずらし方をデルタシグマ変調回路に従って混ぜることにより、周波数データで設定された値に変調クロックの周波数を制御することができる。デルタシグマ変調の次数は1次でも2次でもそれ以上の場合でもできるが、1次よりも2次の方が精度がよく、3次以上の場合には2次と効果が変わらないにも関わらず回路規模が増大することから、2次程度が望ましい。

【0025】

図3は、図1の多相クロック信号生成手段101の構成を示す図である。該図に示す多相クロック信号生成手段101は、3つの差動アンプ201～203と、6つのコンパレータ211～216と、を有している。3つの差動アンプ201～203はリング発振器を形成している。6つのコンパレータ211～216は、それぞれの間で遅延を有する差動アンプ201～203の出力と反転出力とをコンパレータ211～216において比較することにより、6相のクロック信号CK1～CK6に変換する。各差動アンプ毎の遅延時間を全て等しくすることにより、6相クロックCK1～CK6を、等位相間隔にするこ

とができる。

【0026】

図4はVCO116の構成であり、6つの差動アンプで作られたオシレータ221～226と12個のコンパレータ231～242で構成される。差動アンプの制御電圧により、各差動アンプでの遅延時間を変化させ、周波数を制御することができる。また、各差動アンプの出力を正転反転2つのコンパレータでレベル変換することにより、12相の出力を作っている。

【0027】

図5は、図1に示す変調クロック信号生成手段102とエッジ出現時間調整手段103を含む構成を示す図である。該図に示すように、エッジ出現時間調整手段103は、フリップフロップ回路801～806を含み、変調クロック信号生成手段102は、それぞれのフリップフロップ回路801～806に対応するスイッチ811～816と、これらの出力に共通に設けられた1つのバッファ回路821と、を有している。フリップフロップ回路801～806のそれぞれの入力端子には、対応する第1のクロック選択信号SEL1～SEL6までのそれぞれが入力されるとともに、クロックパルス端子には、クロック信号CK1～6のいずれか1つで、第1のクロック選択信号SEL1～6で選択するクロック信号との位相差がある範囲内であるクロック信号が入力される。

【0028】

フリップフロップ回路801の入力端子には選択信号SEL1が入力されるとともに、クロックパルス端子にはクロック信号CK5が入力される。同様に、フリップフロップ回路802の入力端子には第2のクロック選択信号SEL2が入力されるとともに、クロックパルス端子にはクロック信号CK6が入力される。

【0029】

すなわち、第1のクロック選択信号SEL1～SEL6までは、フリップフロップ回路801～806のそれぞれの回路に入力されるそれぞれの第1のクロック選択信号SEL1～SEL6によって選択されるクロック信号よりも $T/3$ (120度) だけ前のクロック信号CKによりラッチされた出力信号であって、対応する第1～第6のスイッチ811～816までのオンオフを制御する第2のクロック選択信号(スイッチ制御信号)SSEL1～SSEL6の出力信号を出力する。

【0030】

第2のクロック選択信号SSEL1～SSEL6と選択されるクロック信号CKのエッジ出現時間が重ならないようにするためには、選択されるクロック信号CKとフリップフロップでラッチに使用するクロック信号の位相差を90度程度にした場合、最もマージンが大きい。尚、図11においては、例として120度の位相差を有する場合を示している。

【0031】

スイッチ811～816のそれぞれの入力側に、対応するクロック信号CK1～CK6が入力され、第2のクロック選択SSEL1～SSEL6によりオンオフ制御されて出力側に信号が伝わる。スイッチ811～816のそれぞれの出力側は共通になっており、バッファ回路821を介して変調クロック信号が生成され、出力される。

【0032】

図6は12相のエッジ出現時間調整手段103と変調クロック信号生成手段102の構成を示す。エッジ出現時間調整手段103はクロック選択信号SSEL1～12のタイミングを調整してエッジ出現時間が常に一定の間隔を有しておりエッジが重なることはない。エッジ出現時間調整手段103において、各クロック選択信号SEL1～12は、クロックCK1～12のうち選択されたクロックとある位相差のあるクロックでラッチされ、エッジ調整されたクロック選択信号SSEL1～12として出力される。変調クロック信号生成手段102はSSEL1～12に従ってCK1～12のどれかを選択し、選択クロックとして出力する。

【0033】

図7 (A) 及び (B) は、図5 及び図6 における変調クロック信号生成手段102の

イッチ 811 の構成を説明する図である。図 7 (A) は、CMOS アナログスイッチであり、 n 型 MOS トランジスタ 903 と、 p 型 MOS トランジスタ 902 と、インバータ 901 とを有している。 n 型 MOS トランジスタ 903 と p 型 MOS トランジスタ 902 との制御端子 (ゲート端子) に、第 2 のクロック選択信号 (スイッチ制御信号; 図 5 の SEL) が入力される。 p 型 MOS トランジスタ 902 には、インバータ 901 を介して第 2 のクロック選択信号 SEL が入力され、これを $High$ にすると、スイッチが導通状態となりスイッチの入力信号 $CK1$ がスイッチの出力 OUT に伝わる。

【0034】

図 7 (B) に示すスイッチは、 n 型 MOS トランジスタ 904 を用いており、 n 型 MOS トランジスタ 904 のゲート端子に第 2 のクロック選択信号 SEL が入力され、スイッチ信号 $CK1$ が $High$ の時にスイッチ入力信号がスイッチ出力 OUT に伝わる。尚、スイッチ 811 ~ 816 も、図 7 (A)、(B) と同様の構成である。

【0035】

図 8 は、図 5 及び図 6 におけるエッジ出現時間調整手段と変調クロック信号生成手段の他のエッジ出現時間調整手段を示す図である。該図において、図 5 及び図 6 との相違点は、フリップフロップ回路 1001 のそれぞれと対応するスイッチ 1011 に対して、対応するフリップフロップ回路 1001 のクロック入力端子に入力される信号と同じクロック信号 $CK1$ が入力される点と、スイッチ 1011 に入力するクロック信号 $CK1$ を遅延させるための遅延回路 1002 が設けられている点である。実際には上記の回路が N 個設けられている。図 7 に示す変調クロック信号生成手段を用いた場合でも、スイッチ 1011 には、クロック信号 $CK1$ に対して遅延回路 1002 により遅延されたクロック信号が入力されるため、該図においてフリップフロップ回路 1001 に入力されるクロック信号 $CK1$ とエッジ出現時間の位置が異なるクロック信号をスイッチ 1011 に入力することができる。

【0036】

図 9 及び図 10 参照して、上記変調クロック信号生成手段の動作について説明する。図 9 には、第 1 のクロック選択信号 $SEL1$ ~ $SEL6$ と、例えば図 11 においてクロック信号 $CK1$ ~ $CK6$ のいずれかを選択する実質的な選択信号である第 2 のクロック選択信号 $SEL1$ ~ $SEL6$ と、クロック信号 $CK1$ ~ $CK6$ と、 $SELCLK$ の信号波形が示されている。

【0037】

クロック信号 $CK1$ ~ $CK6$ は、クロックが遅くなる方向にずれている。クロック信号 $CK1$ ~ $CK6$ のいずれか異なる信号が毎回選択されている。生成される $SELCLK$ の周期は $T + \Delta T$ になっている。第 1 の選択信号 $SEL1$ ~ $SEL6$ は、 $SELCLK$ に同期した信号である。ここで、第 1 のクロック選択信号 $SEL1$ ~ $SEL6$ を、クロック信号 $CK1$ ~ $CK6$ までのいずれかの信号でラッチすることにより第 2 のクロック選択信号 $SEL1$ ~ $SEL6$ を生成する。図 9 に示す例では、例えば第 5 のクロック信号 $CK5$ の入力で第 1 の選択信号 $SEL1$ をラッチして第 2 のクロック選択信号 $SEL1$ を Low に変化させる。クロック信号 $CK2$ に関しても、同様にクロック信号 $CK6$ により第 1 のクロック選択信号 $SEL2$ の値をラッチして第 2 のクロック選択信号 $SEL2$ を生成する。以下、同様にして第 2 のクロック選択信号 $SEL3$ ~ $SEL6$ を生成する。

【0038】

例えばクロック信号 $CK1$ と、これとは位相が異なる ($T/3$ 、すなわち 120 度だけ前) クロック信号 $CK5$ により生成された第 2 のクロック選択信号 $SEL1$ とは、該図より明らかなように、エッジ出現位置が常に一定の間隔を有しておりエッジ出現時間が重なることはない。従って、クロック信号 $CK1$ ~ $CK6$ により順次生成される変調クロック信号 MCK は、周期 $T + \Delta T$ が時間としてどれだけ続いたとしても第 2 のクロック選択信号 $SEL1$ ~ $SEL6$ のエッジ出現時間と、選択されるクロック信号のエッジ出現時間とが重なることがないため、選択されたクロック信号の波形が劣化することがない。 $CK1 \rightarrow CK2 \rightarrow CK3 \rightarrow CK4 \rightarrow CK5 \rightarrow CK6 \rightarrow CK1 \rightarrow \dots$ にそれぞれ対応する変調

クロック信号MCKを連続して生成することができるという利点がある。該図においては、第2のクロック選択信号SEL1～6のいずれもLowになっている期間が存在する。この期間中、スイッチ出力は配線や素子の寄生容量によって保持される。

【0039】

図10に示す波形は、図9と同様にクロック信号CK1～CK6のいずれか異なる信号が毎回選択されているが、生成される変調クロック信号MCKの周期は $T-\Delta T$ になっている点において異なる。すなわち、クロック信号CK1～CK6は、クロックが早くなる方向にずれている。例えばクロック信号CK1と、これとは位相が異なる($T/3$ 、すなわち $2\pi/3$ だけ)クロック信号CK5により生成された第2のクロック選択信号SEL1とは、図9より明らかなように、エッジ出現時間が常に一定の間隔を有しておりエッジ出現時間が重なることはない。

【0040】

従って、クロック信号CK1～CK6により順次生成される変調クロック信号104は、周期 $T-\Delta T$ がどれだけ続いたとしても問題が生じない。加えて、CK6→CK5→CK4→CK3→CK2→CK1→CK6→…にそれぞれ対応するSELCCLKを連続して生成することができるという利点がある。以上の説明では、6相の場合について説明したが、12相の場合でも同様に作動する。

【0041】

図11は、エッジ出現時間調整手段103にクロック選択信号を供給するための制御手段104の構成を示すブロック図である。該図に示すように、制御手段104は、周波数データ生成器601と、3値 $\Delta\Sigma$ 変調器602とからなる制御論理手段106、アップ/ダウンリングレジスタ603からなるクロック選択信号生成手段105とを有している。選択クロック信号SECLKに同期して状態を遷移させるリングレジスタ603により第1のクロック選択信号SEL1～SEL12を生成する。周波数データ生成器601の出力である周波数データFDat aは、3値 $\Delta\Sigma$ 変調器602に入力し、3値の制御信号CSGに変換される。アップ/ダウンリングレジスタ603は、制御信号CSにより、選択を前後に遷移させるか、或いは、維持する。なお、図1の位相選択型周波数変調回路においては周波数データ生成器に代えて周期データ生成器が使用される。

【0042】

図12は、クロック選択信号生成手段105としてのアップ/ダウンリングレジスタ603を示す図である。クロック選択信号生成手段105は、フリップフロップ回路(D-FF)501～512と、それぞれに対応するセクタ回路521～532とを有している。フリップフロップ回路501～512の出力は、変調クロック生成手段106(図1)における第1のクロック選択信号SEL1～SEL12の対応する入力のそれぞれと接続されている。

【0043】

セクタ回路521～532は、3入力1出力セクタ回路により構成されており、制御論理手段106の出力である制御信号(セクタ信号)CSGにより制御される。より具体的には、セクタ回路521～532は、制御信号CSGの3つの状態に応じて、3入力のうちのいずれかを選択して出力する回路である。一方、フリップフロップ回路501～512は、セクタ回路521～532の出力を変調クロック信号生成手段の出力によりラッチして第1のクロック選択信号SEL1～SEL12として出力する。これにより、第1のクロック選択信号SEL1～SEL12のHighの位置が遷移する。

【0044】

図13は、制御手段104の他の構成を示す図である。制御手段104は、Up/Downカウンタ401とデコーダ402からなるクロック選択信号生成手段105と、それを制御する制御論理手段106で構成される。クロック選択信号生成回路105は、SEL1～12に従ってCK1～12のどれかを選択してクロック選択信号SEL1～12を出力する。この際、制御信号の値に応じて、Activeなクロック選択信号を1つ前後にずらすか、そのまま維持する。

【0045】

制御論理手段106は、アップ/ダウンカウンタ401を制御するための制御信号CSGを出力する。アップ/ダウンカウンタ401は、パルスを受けるとカウンタの値を1ずつ加算したり、減算したりすることができるカウンタであって、変調クロック信号（パルス信号）MCKに同期して動作し、制御信号CSGを受ける毎に出力のカウンタ値CTVを、 $1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 11 \rightarrow 12 \rightarrow 1 \rightarrow 2 \dots$ （アップ）、或いは、 $12 \rightarrow 11 \rightarrow 4 \rightarrow 3 \rightarrow 2 \rightarrow 1 \rightarrow 12 \rightarrow 11 \dots$ （ダウン）のように変化させる。“アップ”、“ダウン”、“保持”の3通りの動作のうちのいずれかに従う値を、カウンタ値CTLとしてデコーダ402に出力する。デコーダ402は、第1のクロック選択信号SEL1～SEL12の中から、カウンタ値CTVに対応した第1のクロック選択信号SEL1～SEL12をHighにする。

【0046】

図14は、上述した制御手段104の動作波形を示す図である。クロック相数は6相とする。制御信号CSGにはアップの場合とダウンの場合とがあり、アップの場合には、第1のクロック選択信号SEL1～SEL6のHighの位置が、矢印AR1で示すようにSEL1→SEL2→SEL3…と変化し、ダウンの場合には、選択信号SEL1～SEL6のHighの位置が、矢印AR2で示すようにSEL3→SEL2→SEL1…と変化する。

【0047】

図15は、図11に示される3値 $\Delta\Sigma$ 変調器602の構成を示す図であり、2次 $\Delta\Sigma$ 変調回路を示す図である。該図に示すように、2次 $\Delta\Sigma$ 変調回路は、第1から第4までの加算器701、702、704、705と、遅延回路703及び706と、3値の量子化器707とを有している。3値の量子化器707は、入力に応じて $+\Delta$ 、0、 $-\Delta$ の3値のいずれかを制御信号CSとして出力する。3値のそれぞれを、クロックの選択に関して、「後ろに遷移」、「維持」、「前に遷移」に対応させると、それぞれの変調クロックの周波数が、 $f = 13f_0/12$ 、 $f = f_0$ 、 $f = 11f_0/12$ になるように制御される。

【0048】

該図の構成によれば、以下の式で表される値を周波数データFDa t aとして入力することにより、変調クロック信号MCKの周波数を任意の周波数f1に制御することができる。

$$\text{周波数データ} = \Delta \times (f_1 - f_0) / (f_0 / 12) \quad (5)$$

尚、図8の3値 $\Delta\Sigma$ 変調器1402に代えて、1ビットの $\Delta\Sigma$ 変調器を用いても良い。この場合、1ビットを「後」、「維持」及び「前」のいずれかに対応させる。

【0049】

このように、簡易な構成で周波数変調を実現することができ、また、一般にチャージポンプのパルス幅が大きい場合には、PLL出力のジッタが大きくなる傾向があるが、本実施の形態による変調クロック信号発生回路によれば、セレクタを使用してフィードバックのクロック位相を細かく制御できるため、ジッタが少なくなるという利点がある。

【0050】

以上、本発明の第1の実施の形態による変調クロック信号発生装置によれば、位相可変範囲に関する制約が無い変調クロック信号を生成することができ、電子機器のEMIを低減することができる。

【0051】

次に、本発明の第2の実施の形態による位相選択型周波数変調回路について図16を参照して説明する。該図において、図1に示す第1の実施の形態による位相選択型周波数変調回路と同様に多相クロック信号生成手段101と、変調クロック信号生成手段102と、エッジ出現時間調整手段103と、制御手段104とを有している。それに加えて、エッジ出現時間調整手段102の出力にPLL1205が接続されている点が図1に示す回路とは異なっている。変調クロック信号MCKはPLL1205から出力される。本実施の形態によれば、変調クロック信号生成手段102の出力周期の離散的な変化がフィルタ

リングされるため、ジッタの少ない出力信号を得ることができる。

【産業上の利用可能性】

【0052】

クロック位相に関する制約を解消することができる位相選択型周波数変調回路及び位相選択型周波数シンセサイザを備えた装置に 응용が可能である。

【図面の簡単な説明】

【0053】

【図1】本発明の第1の実施の形態による位相選択型周波数変調回路の構成を示すブロック図である。

【図2】本発明の第1の実施の形態による位相選択型周波数シンセサイザの構成を示すブロック図である。

【図3】図1の多相クロック信号生成手段の構成を示すブロック図である。

【図4】図1の多相クロック信号生成手段の他の構成を示すブロック図である。

【図5】図1に示す変調クロック信号生成手段とエッジ出現時間調整手段を備える構成を示す図である。

【図6】図1のエッジ出現時間調整手段と変調クロック信号生成手段との構成を示すブロック図である。

【図7】図7(A)、(B)は、図5のスイッチの構成例を示す図である。

【図8】図5及び図6におけるエッジ出現時間調整手段と変調クロック信号生成手段の他のエッジ出現時間調整手段を示す図である。

【図9】変調クロック信号生成手段の動作を説明する図である。

【図10】変調クロック信号生成手段の動作を説明する図である。

【図11】図1の制御手段の他の構成を示すブロック図である。

【図12】図1のクロック選択信号生成手段の構成を示す図である。

【図13】図1の制御手段の構成を示すブロック図である。

【図14】図1に示す制御手段の動作波形を示す図である。

【図15】図11の3値 $\Delta\Sigma$ 変調器の構成を示すブロック図である。

【図16】本発明の第2の実施の形態による位相選択型周波数変調回路の構成を示すブロック図である。

【図17】従来の変調クロック信号発生回路の構成を示すブロック図である。

【図18】図17のディザリング制御部の構成例を示すブロック図である。

【図19】図17の選択処理部の構成を示すブロック図である。

【図20】図17の変調クロック信号発生回路の動作波形図である。

【図21】図17の変調クロック信号発生回路の問題点を動作波形の観点から説明するための図である。

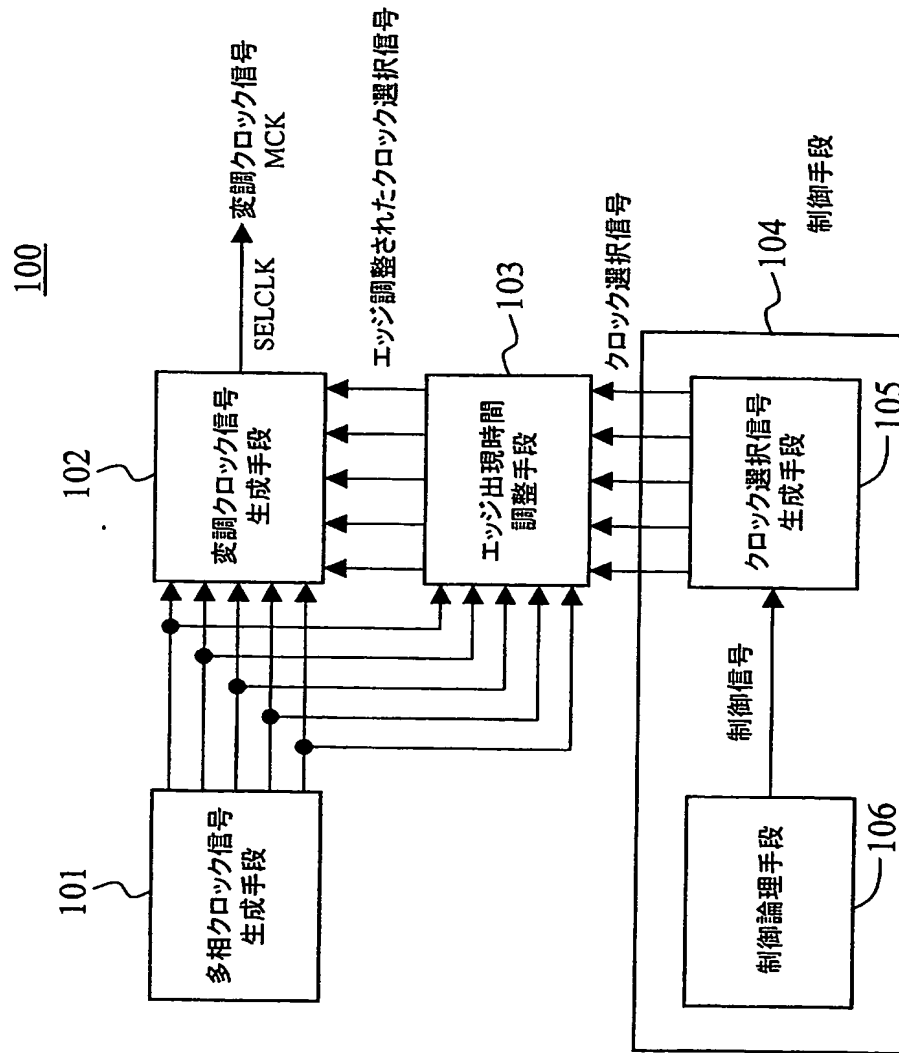
【図22】図17の変調クロック信号発生回路の問題点をスペクトル分散の観点から説明するための図である。

【符号の説明】

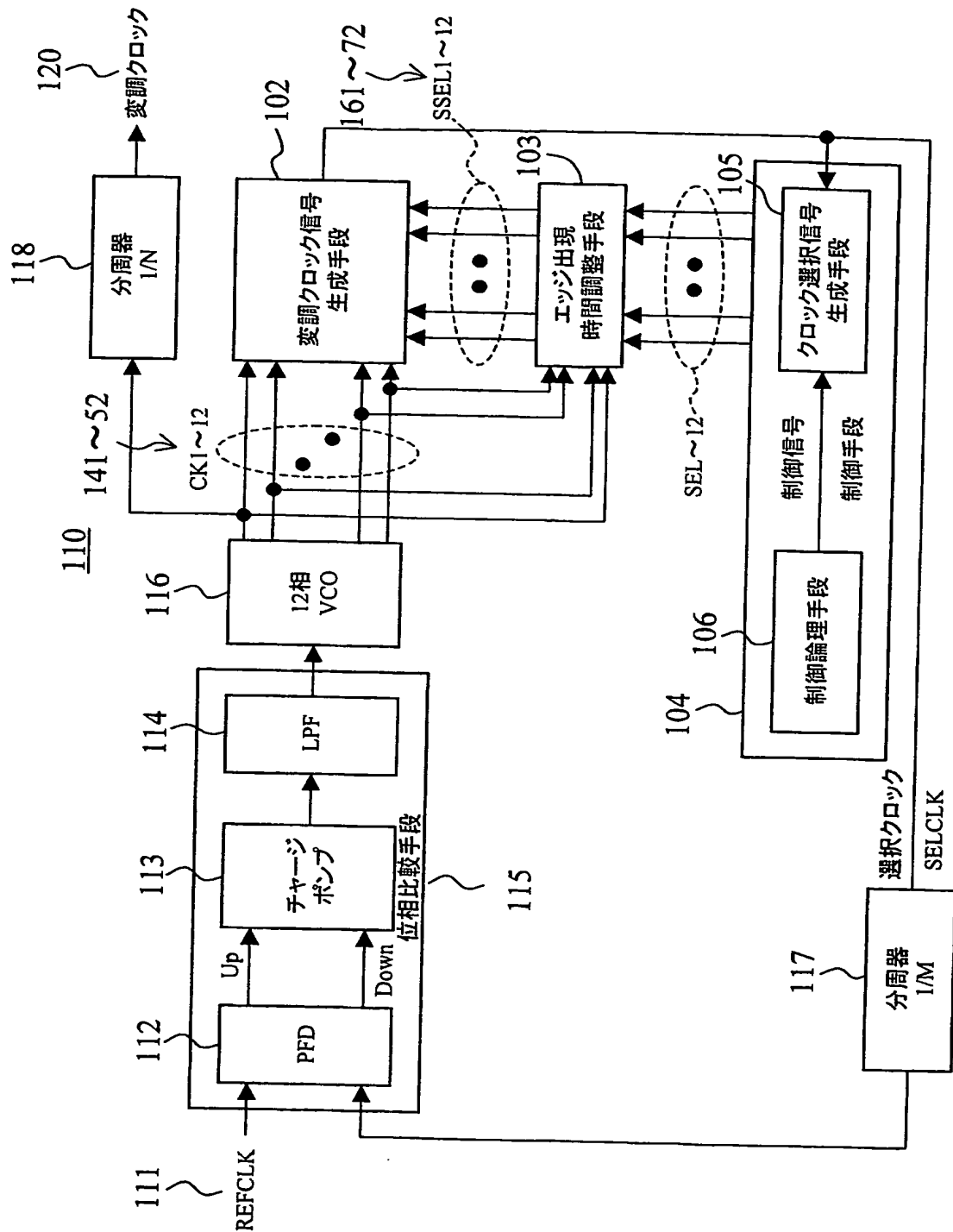
【0054】

100; 位相選択型周波数変調回路、101; 多相クロック信号生成手段、102; 変調クロック信号生成手段、103; エッジ出現時間調整手段、104; 制御手段、105; クロック選択信号生成手段、106; 制御論理手段、110; 位相選択型周波数シンセサイザ、112; PFD、113; チャージポンプ、114; LPF、115; 位相比較手段、116; VCO、117、118; 分周器、120; 変調クロック、401…アップ/ダウンカウンタ、402…デコーダ、501…プリップフロップ、511…セレクト回路、801~806…プリップフロップ回路、811~816…スイッチ回路、821…バッファ回路。

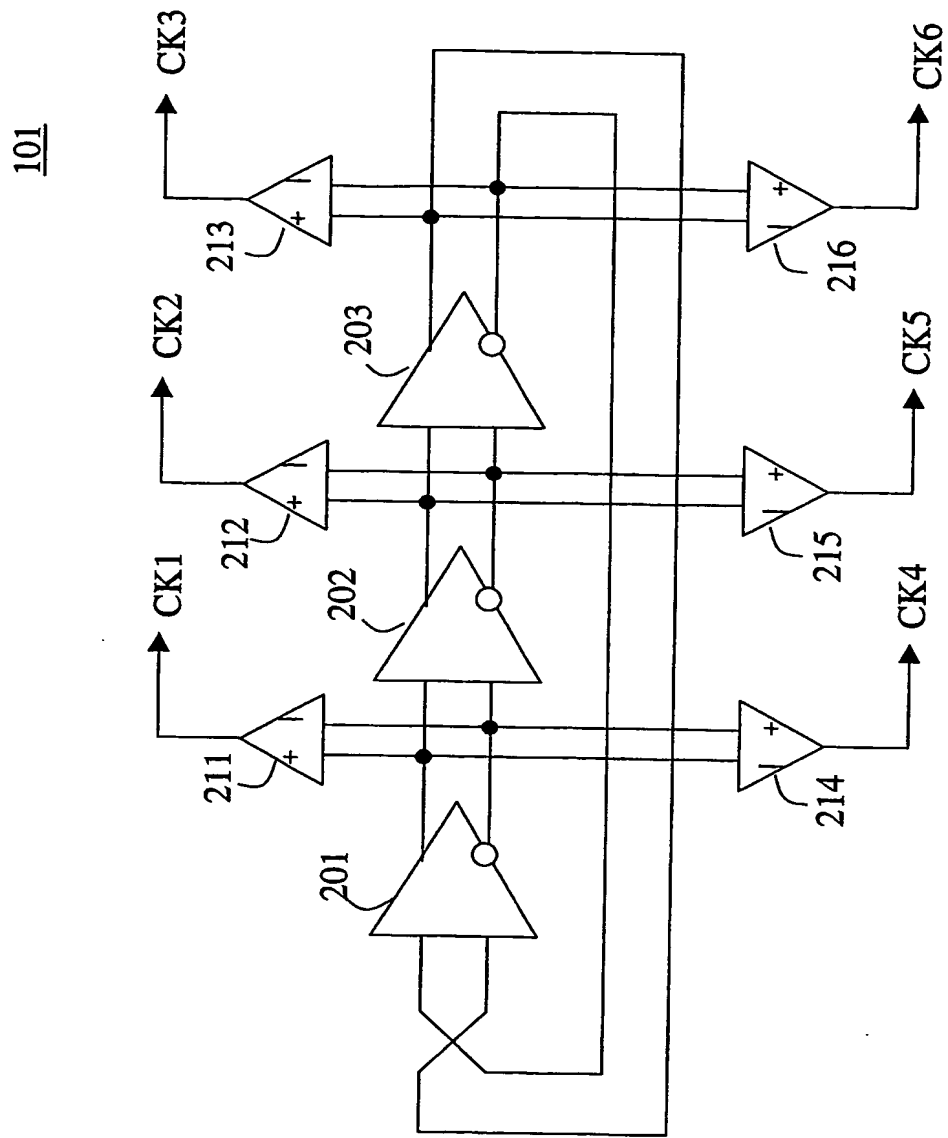
【書類名】 図面
【図 1】



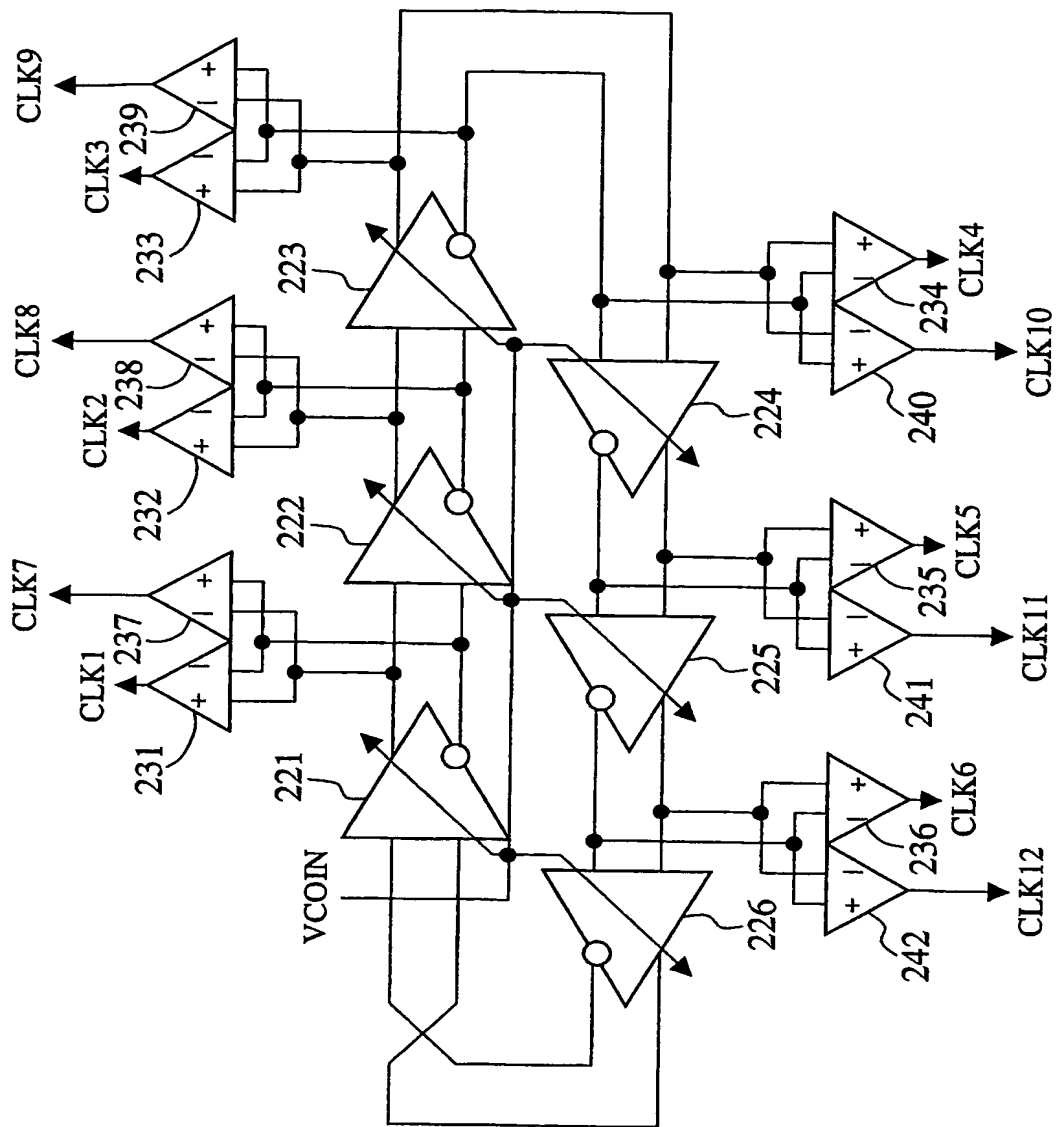
【図 2】



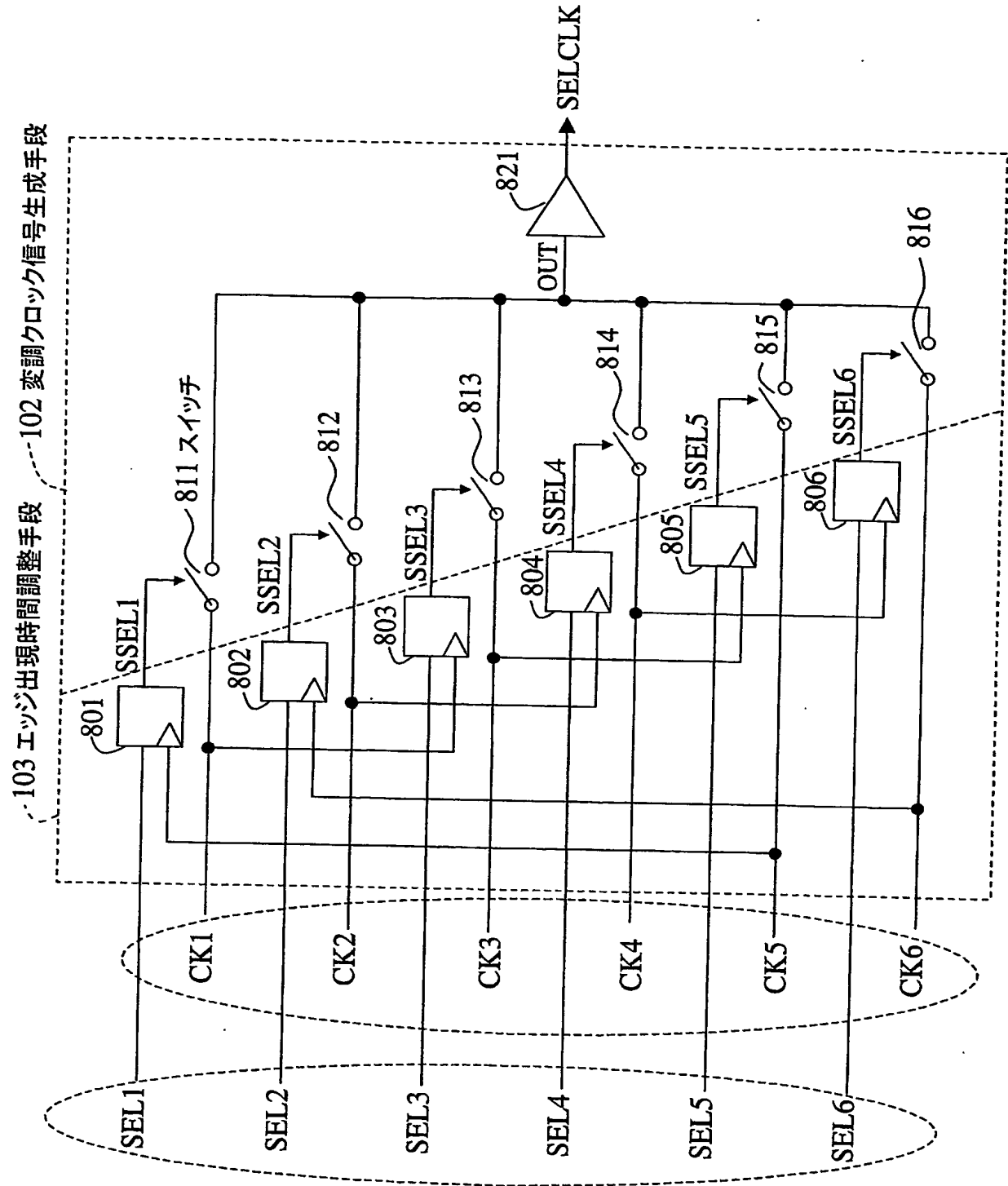
【図 3】



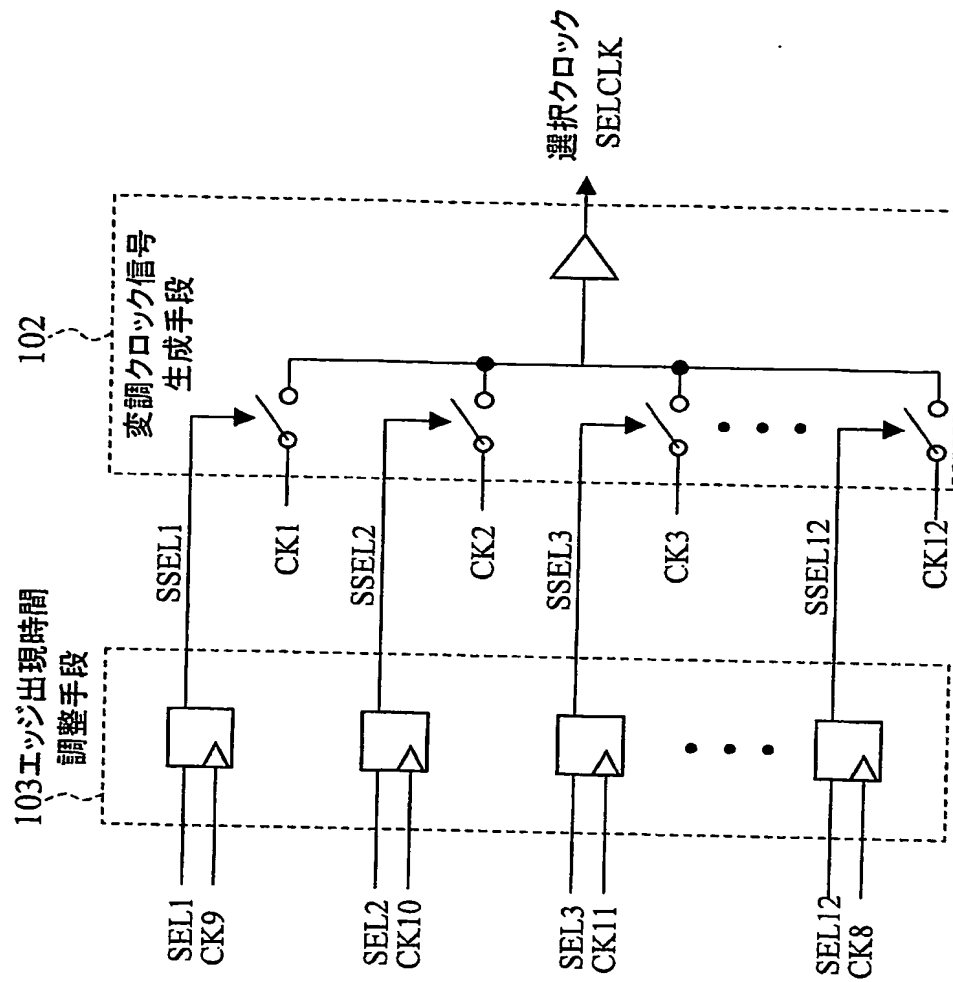
【図 4】



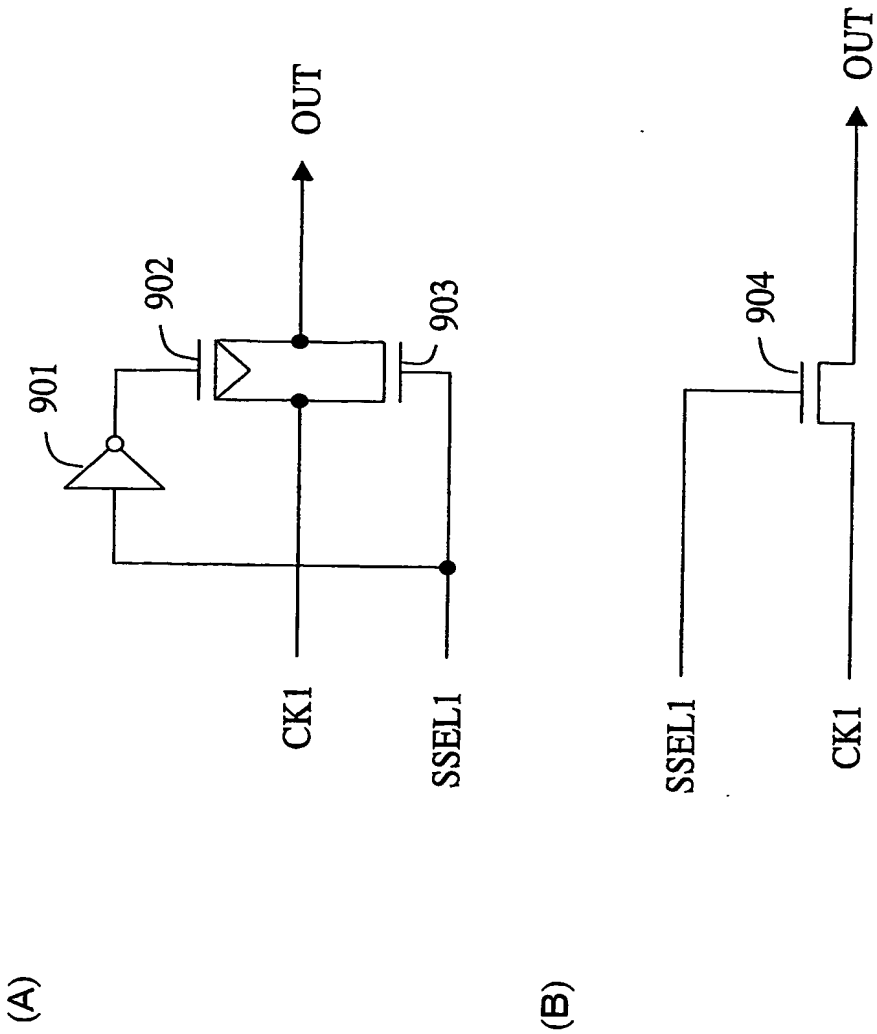
【図5】



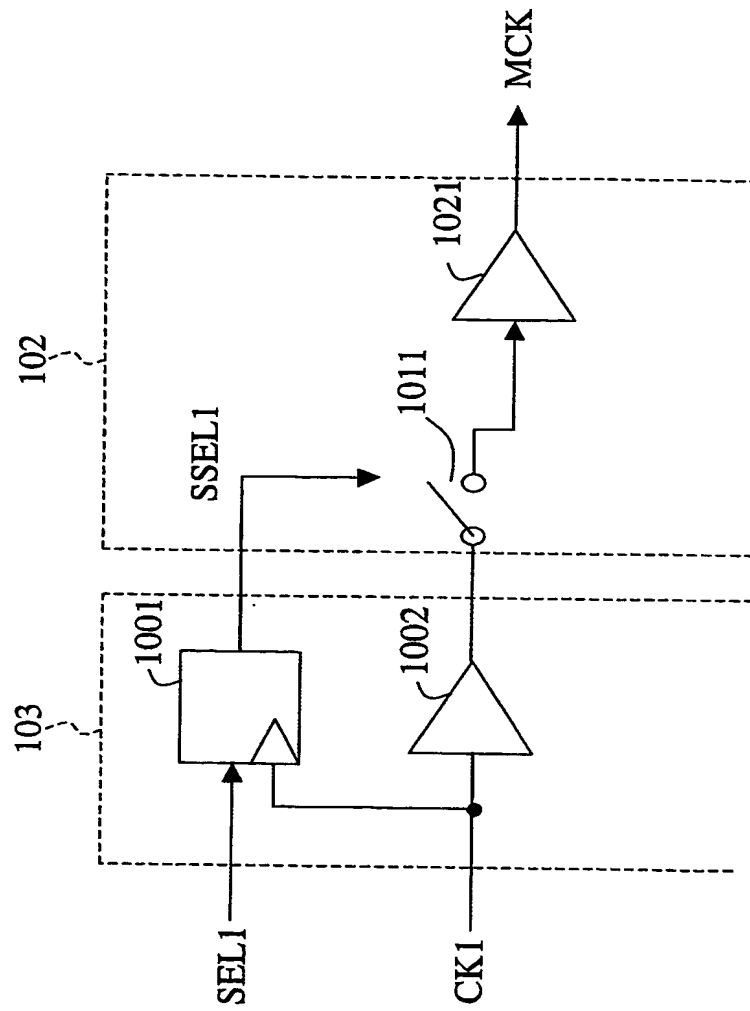
【図6】



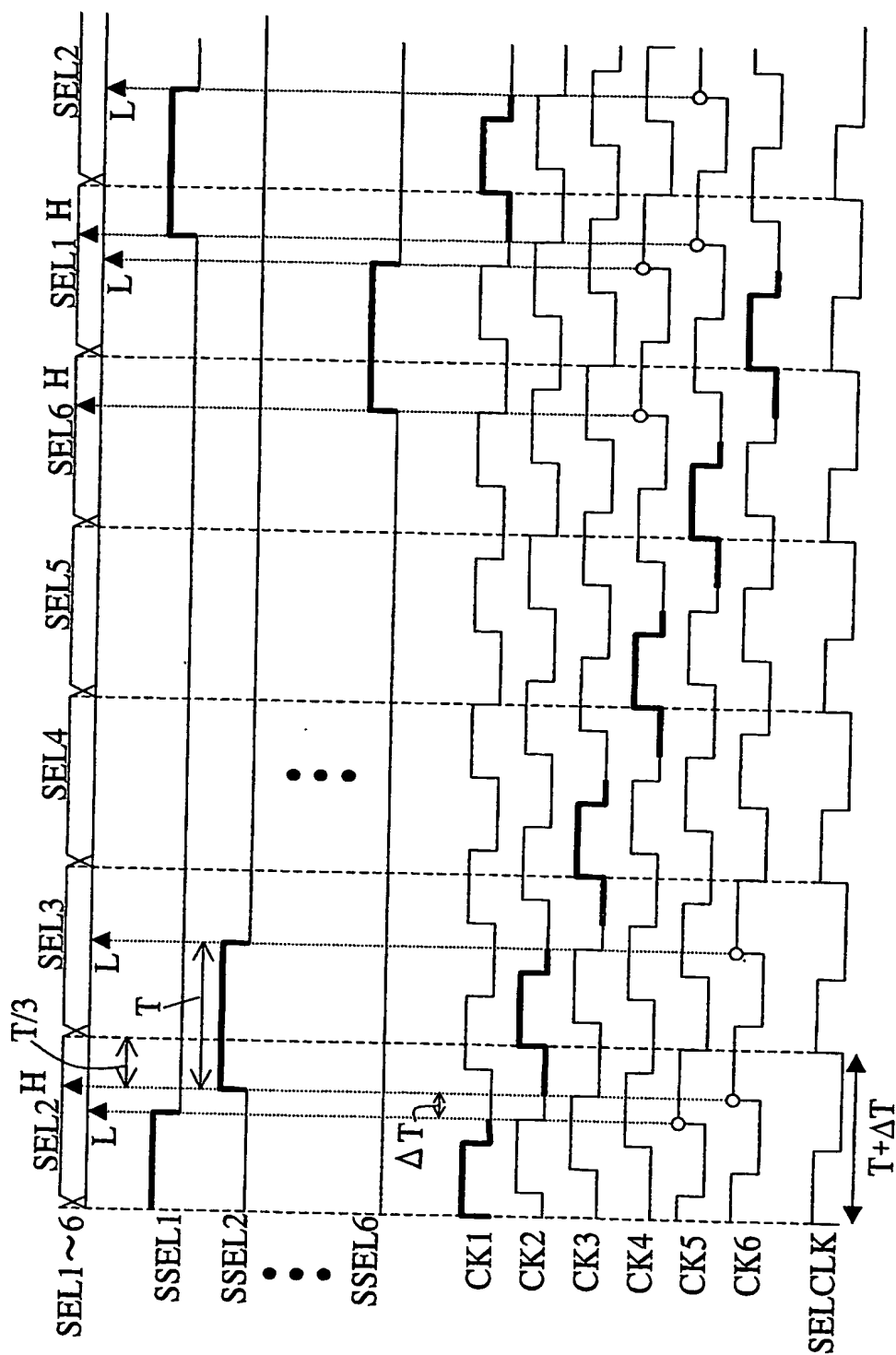
【図 7】



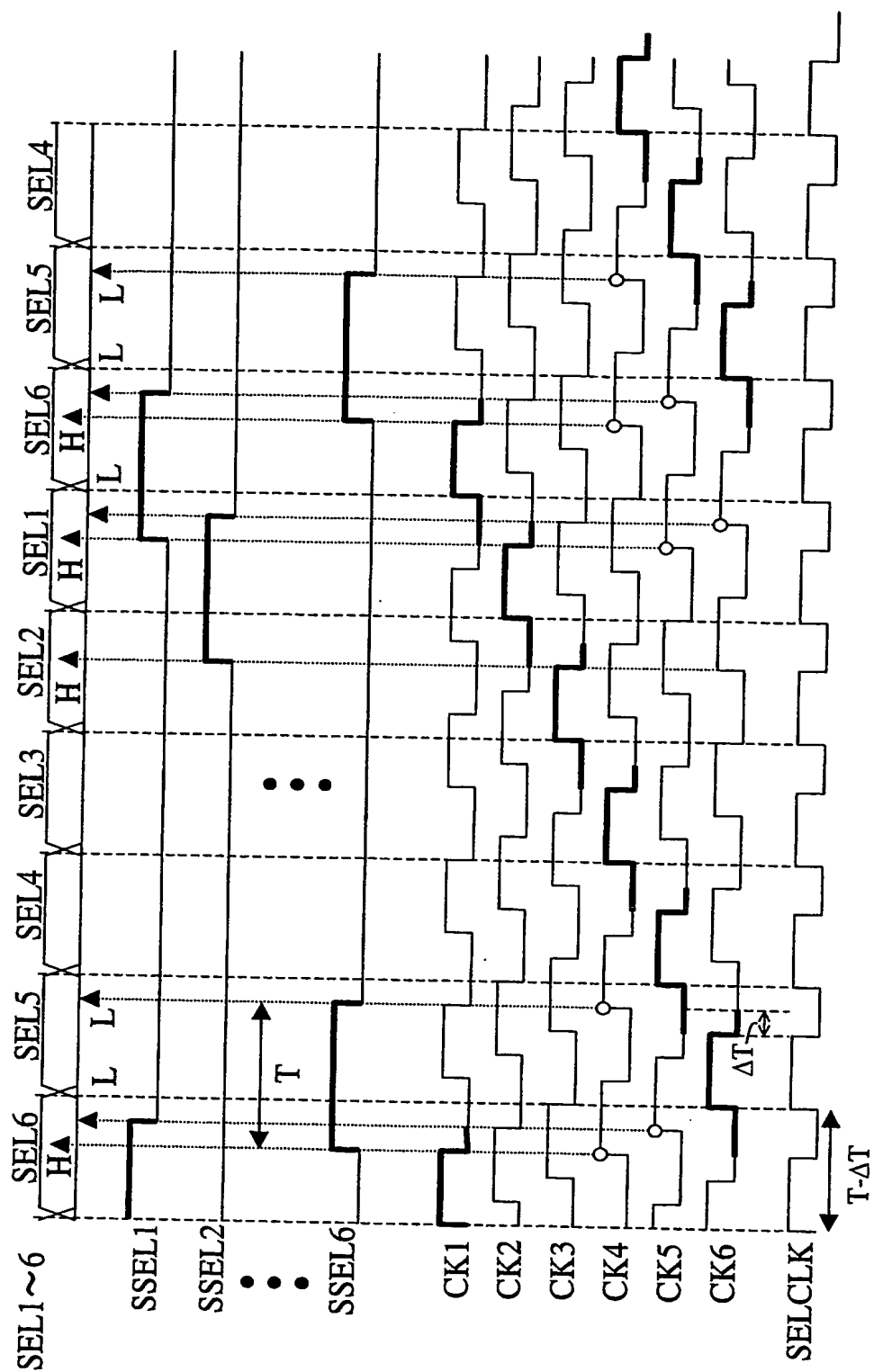
【図 8】



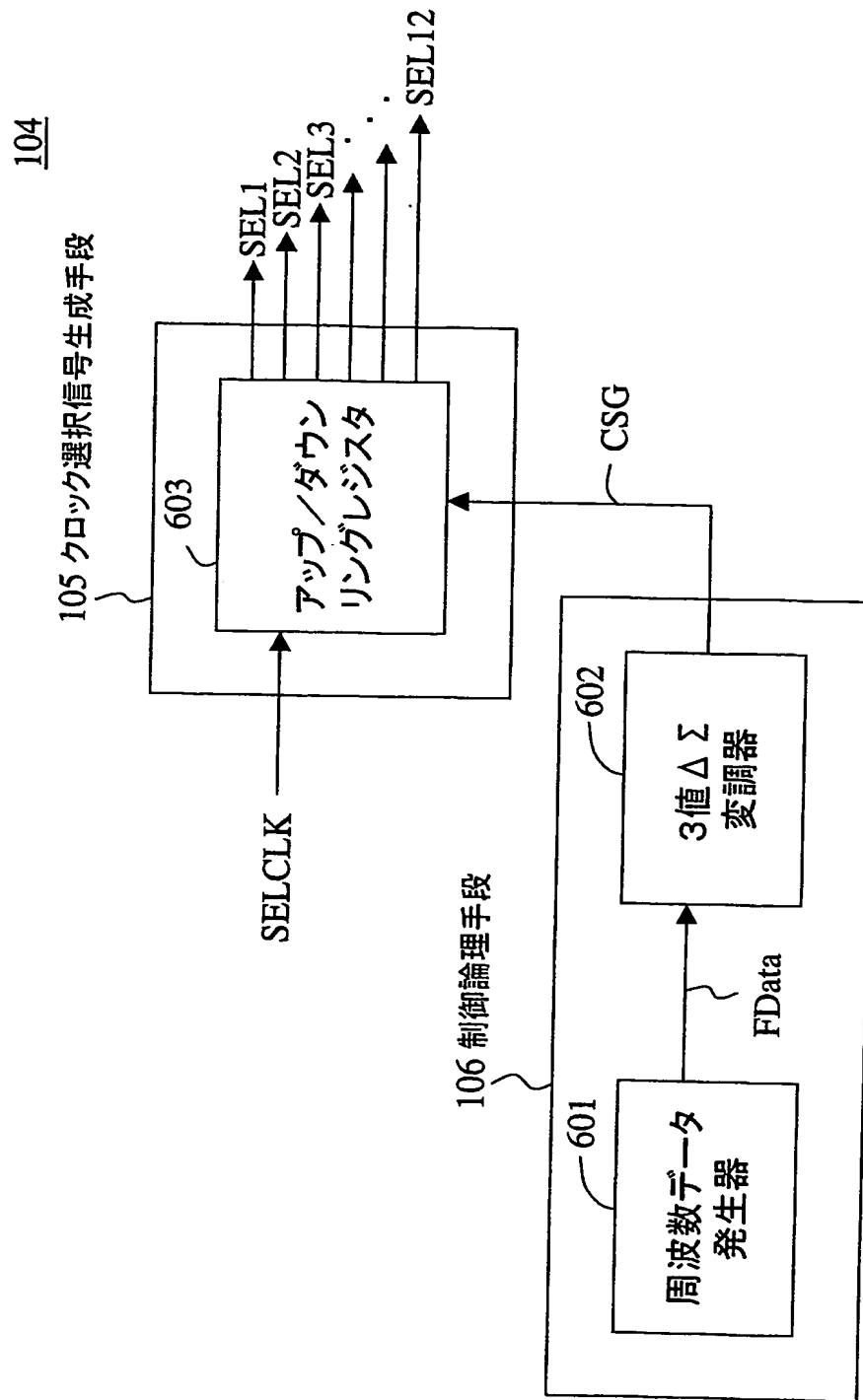
【図 9】



【図 10】

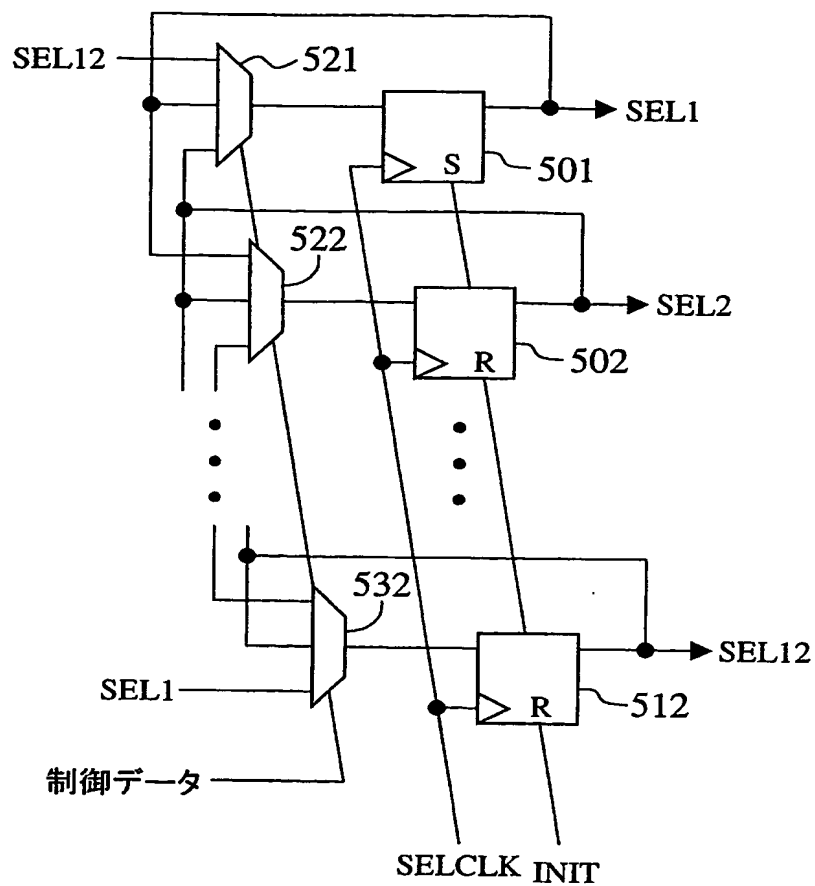


【図 11】

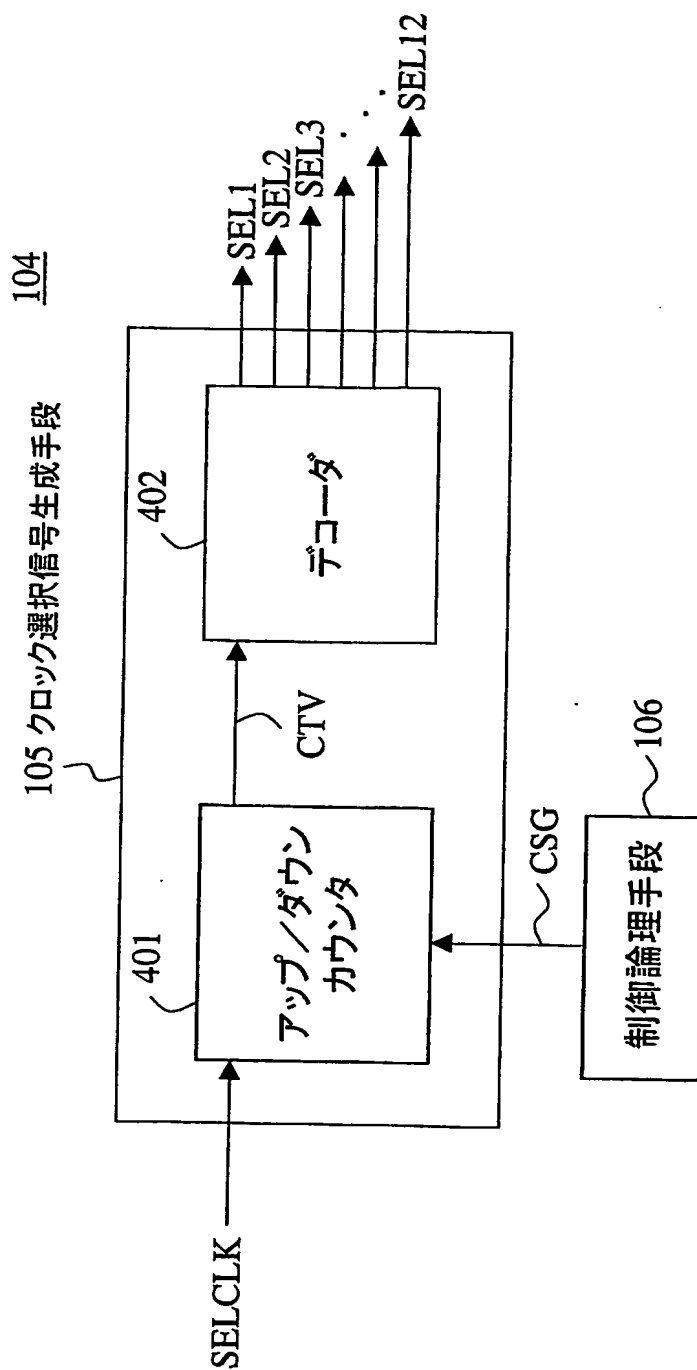


【図 12】

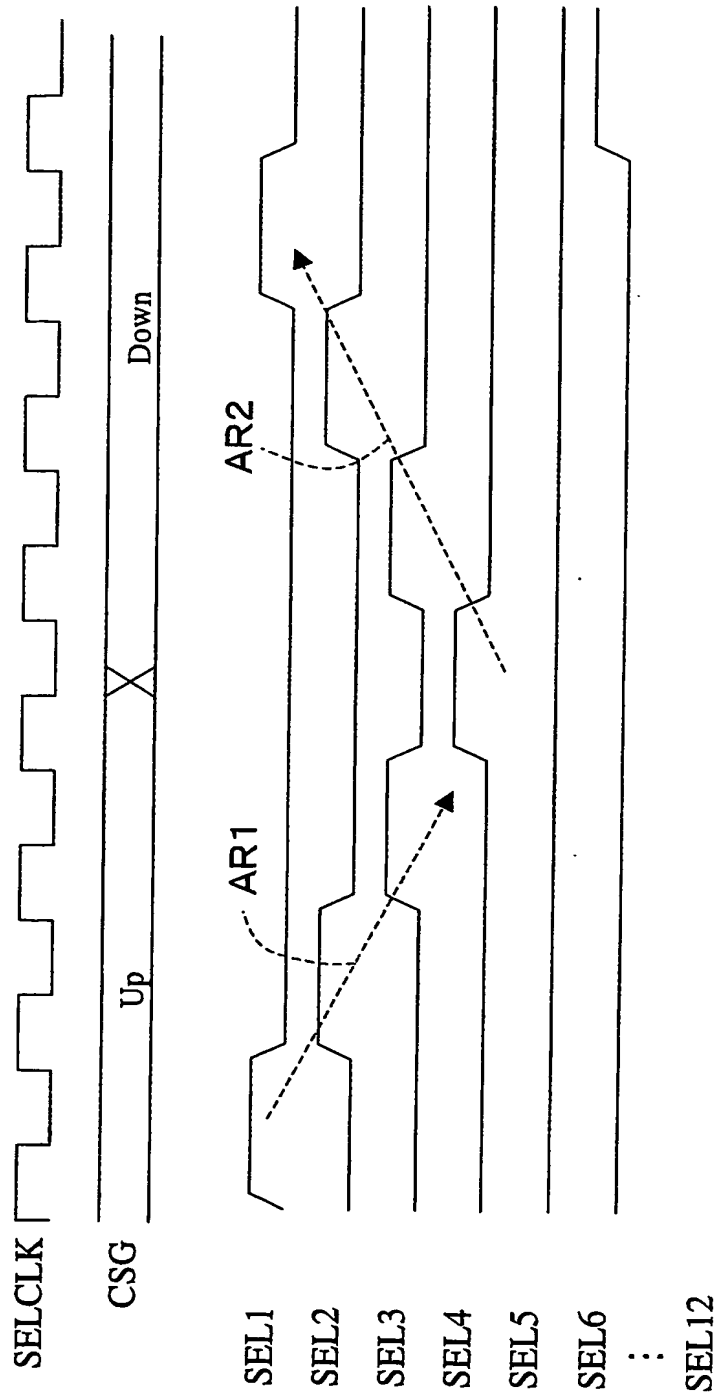
603



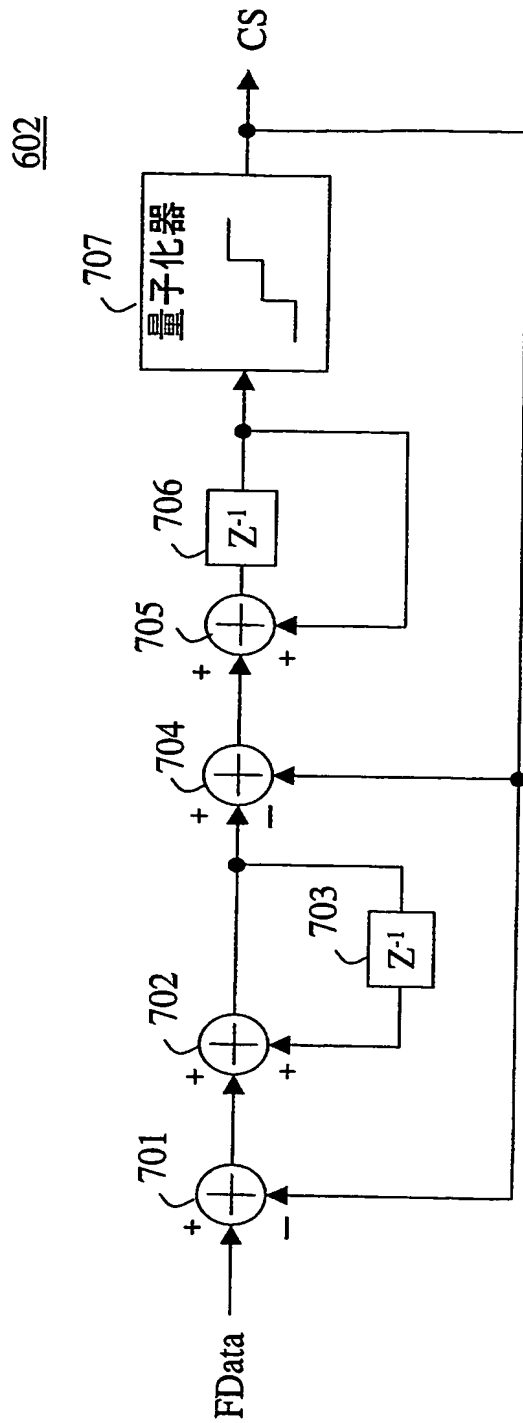
【図 13】



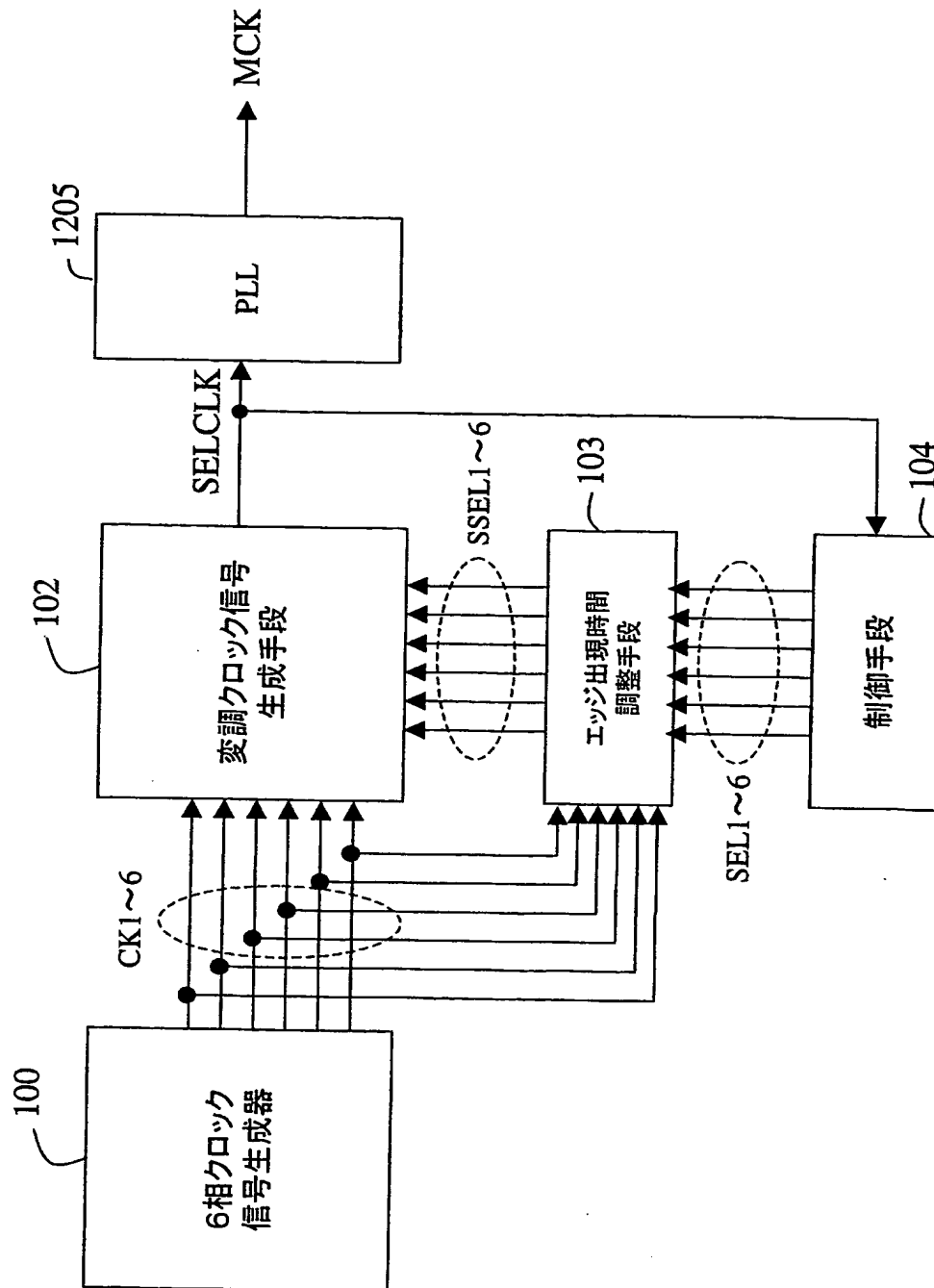
【図 14】



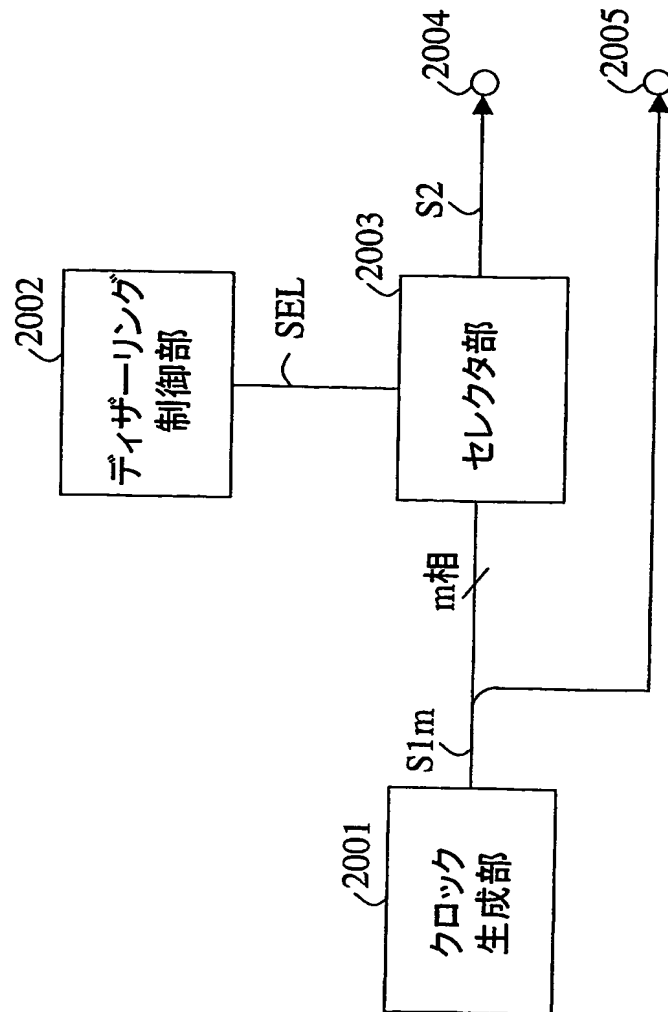
【図 15】



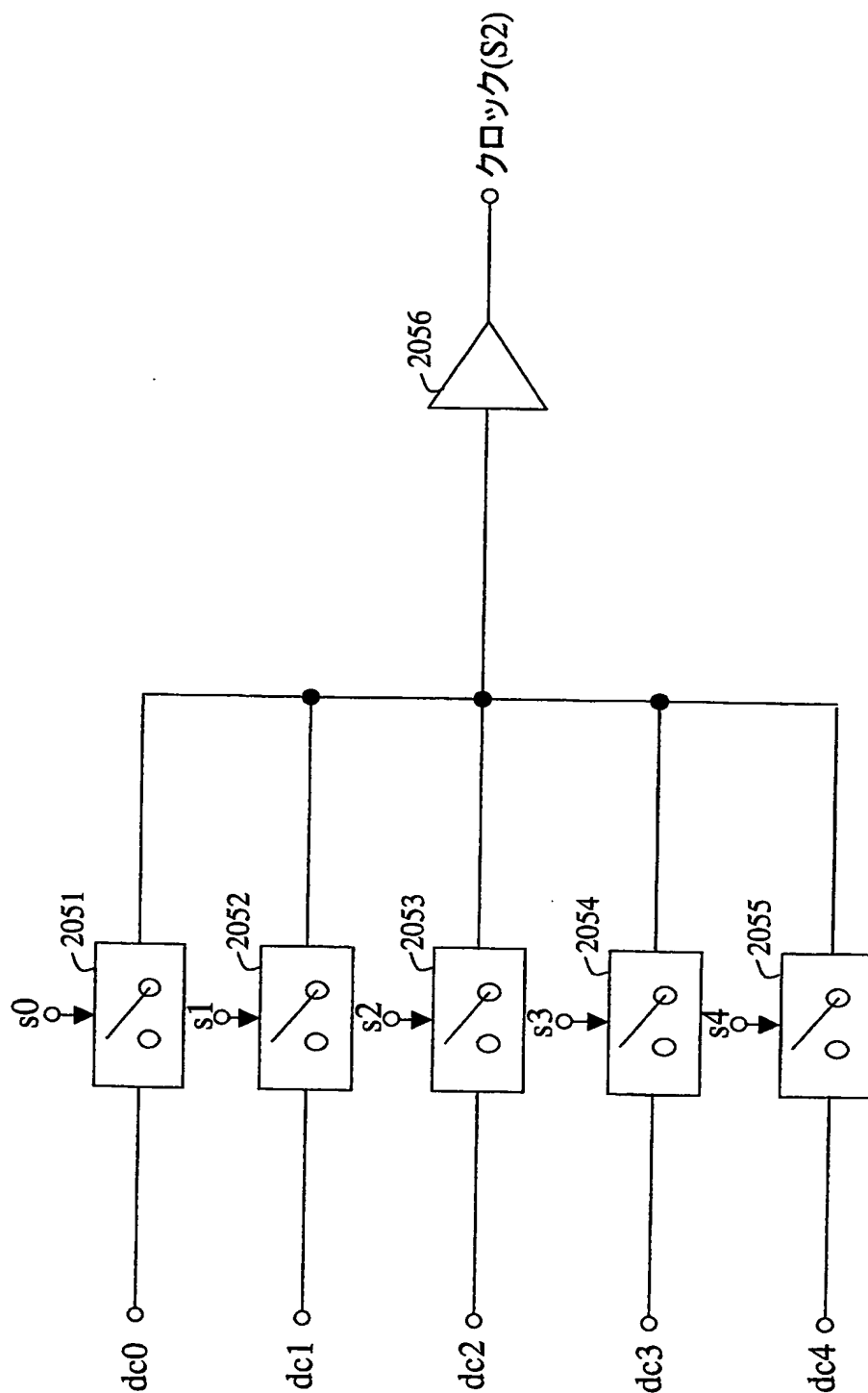
【図 16】



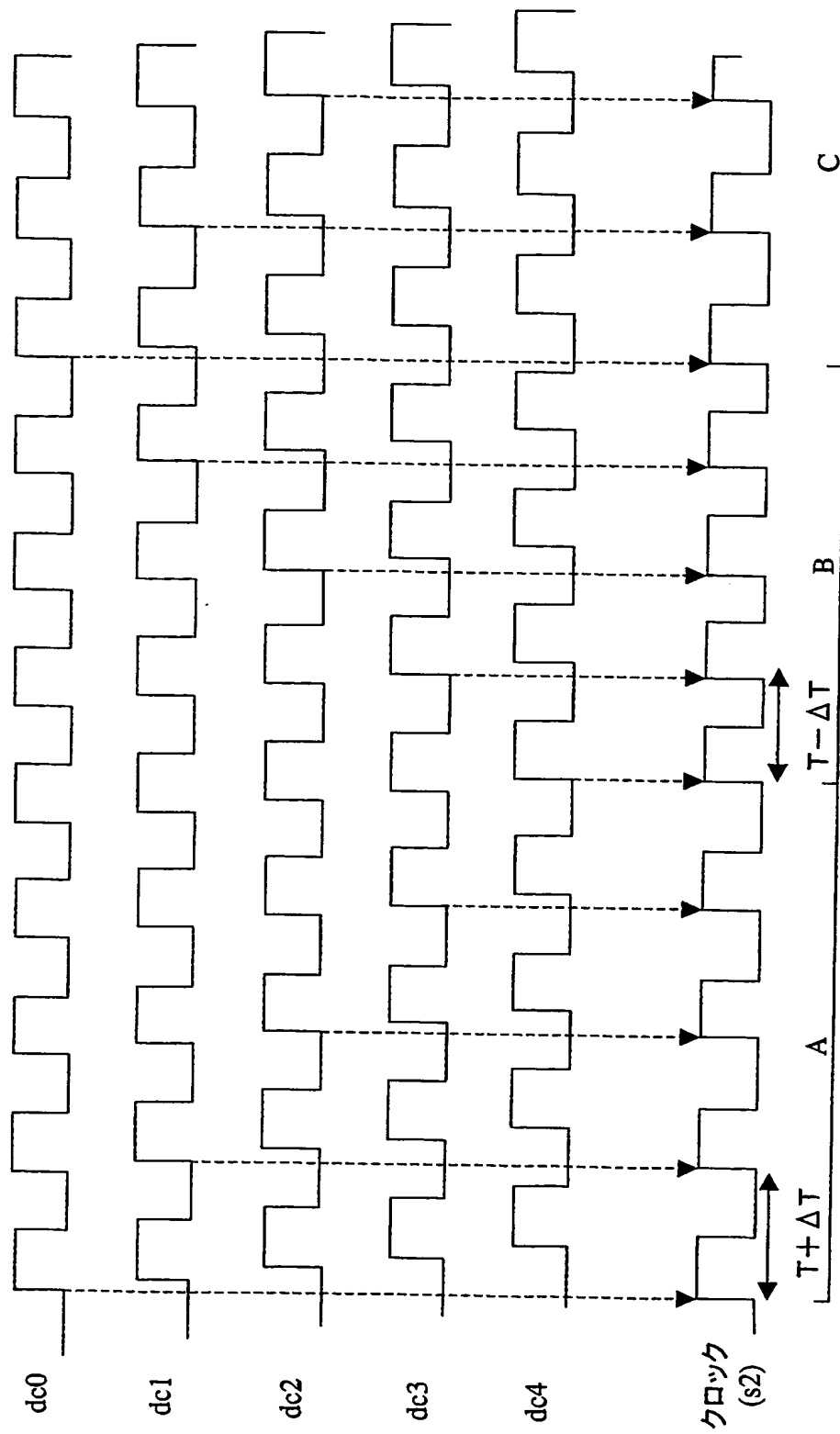
【図 17】



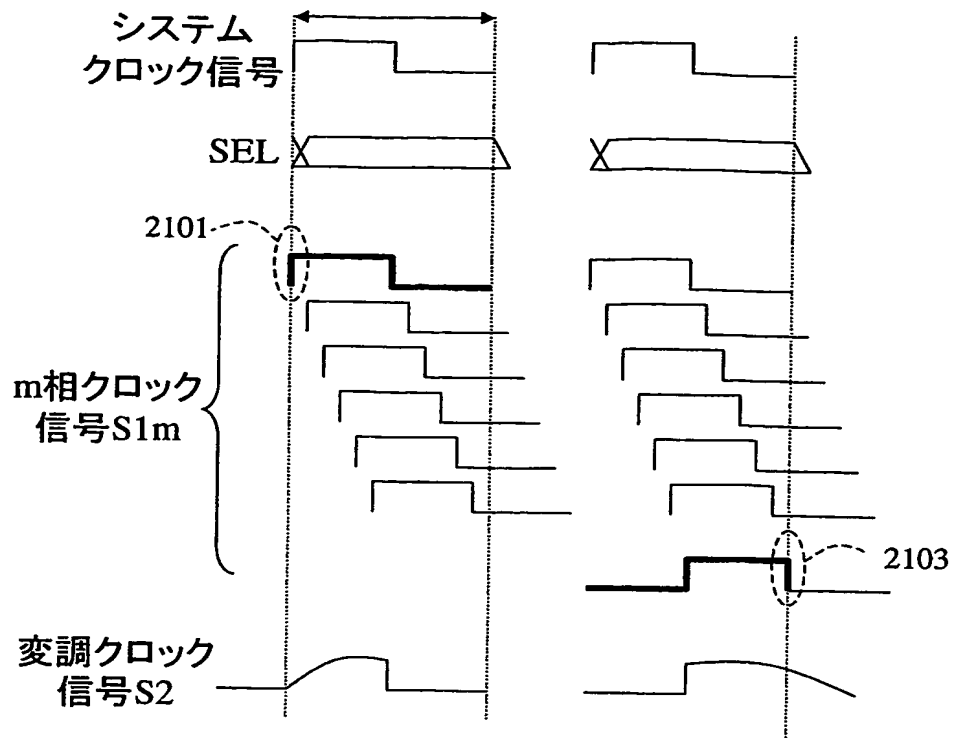
【図 19】



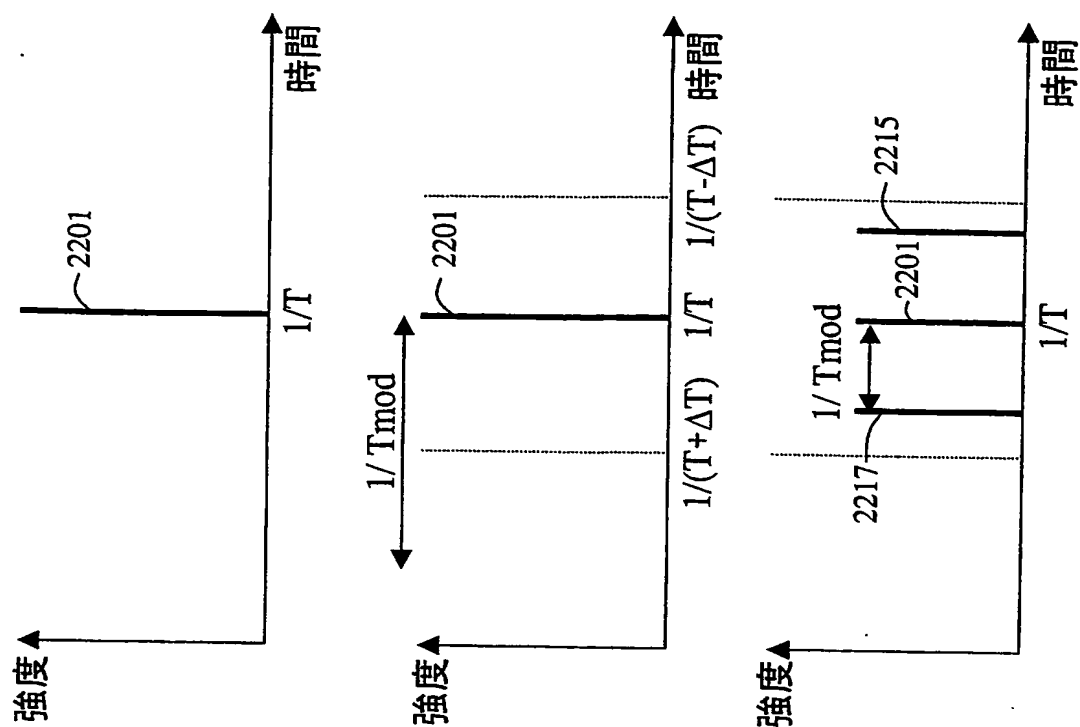
【図 20】



【図 21】



【図 22】



(A) 変調しない場合

(B) 変調周期短い場合

(C) 変調周期長い場合

【書類名】 要約書**【要約】**

【課題】 変調クロック信号発生回路における選択するクロック信号の位相範囲の制限を無くして、EMIを一層低減させる。

【解決手段】 互いに位相差を有するm相のクロック信号を発生するm相クロック信号生成手段101と、このm相クロック信号生成手段101から出力されるm相のクロック信号CK1～6のうちのいずれのクロック信号を選択するかを指示する第1のクロック選択信号SEL1～6であって、m相のクロック信号のそれぞれと対応する第1のクロック選択信号を順次出力する制御手段104と、制御手段104から出力される第1のクロック選択信号SEL1～6の立ち上がりエッジ出現時間及び又は立ち下がりエッジ出現時間を調整して、m相クロック発生器101から出力されるm相のクロック信号のそれぞれと対応する第2のクロック選択信号SSEL1～6を出力するエッジ出現時間調整手段103と、エッジ出現時間調整手段103から出力される第2のクロック選択信号SSEL1～6のうちの活性化状態に基づいてm相のクロック信号のうちのクロック信号を選択し、変調クロック信号MCKを出力する変調クロック信号生成手段102とを備える。

【選択図】 図1

特願 2003-404109

出願人履歴情報

識別番号

[399011195]

1. 変更年月日

2003年 5月 6日

[変更理由]

住所変更

住 所

東京都中央区日本橋本町三丁目3番6号

氏 名

ザインエレクトロニクス株式会社